

理 學 院

110 學 年 度 第 一 學 期 模 組 化 課 程

晶片暨系統之靜電放電設計

ESD (Electrostatic Discharge) Design of Integrated Circuit

授課教師 任職單位 畢業學校

蔡青霖 矽創電子(股)公司 國立成功大學

課程類別 學分數 選必修 開課人數 其他注意事項

Lecture + Recitation 1 選修 20 若因 COVID-19 疫情導致無法實體授課，本課程將延至 2022 暑假(111-1)。

先修課程或先備能力

無

課程難易度

難 中偏難 中偏易 易

建議修課學生背景

理學院、工學院、生科院、電資學院、醫學院、大三以上與碩博研究生可選修

教學方法

講授 50%，實作 20%，討論 10%，報告 20%

評量方式

報告 60%，實驗操作 40%

補充說明：

1. 報告(60%)是指課程間學生兩人一組，共同完成一個指定 ESD 電路研究專案，會於第二堂課到第四堂課進行實驗。並於第五堂課，每組上台進行專案研究報告。
 2. 實驗操作(40%)指課程中需完成標準的量測程序，以兩人一組完成書面實驗報告。
- 報告：專案研究報告與書面實驗報告皆於上課結束後五天內，以書面或電子郵件(email 至授課老師或助教信箱)繳交。

學習規範

無

課程概述

課程目的在了解晶片暨系統的電磁相容與靜電放電設計,分析包含三大內容.

1.電磁相容(EMC)之原理, 2.元件級靜電放電設計 3.系統級靜電放電設計

課程概述(英文)

The main focus of this course is the electromagnetic compatibility and Electrostatic Discharge (ESD) of the chip and system. It includes three major contents: 1. introduction to electromagnetic compatibility, 2. device ESD design, 3. system ESD design.

~ 接下頁 ~

理 學 院

110 學年度第一學期模組化課程

課程進度

堂次	時間	進度說明
8/30(一)	14:00-17:40	14:00-16:20 講義課程:晶片暨系統之電磁相容與電磁干擾 16:20-17:40 實作討論:電磁波訊號量測解析
8/31(二)	14:00-17:40	14:00-16:20 講義課程:元件級靜電放電設計 16:20-17:40 實作討論:IO 靜電保護電路解析
9/1(三)	14:00-17:40	14:00-16:20 講義課程:系統級靜電放電設計 16:20-17:40 實作討論:系統 ESD 量測與解析
9/2(四)	14:00-17:40	14:00-16:20 講義課程:靜電放電電路設計 16:20-17:40 實作討論:靜電放電模擬分析
9/3(五)	14:00-17:40	靜電放電之專案分組上台報告與討論

課程學習目標

1. 電磁相容(EMC)之原理
2. 元件級靜電放電設計
3. 系統級靜電放電設計

課程的重要性、跨域性與時代性

隨著高速數位系統在手機、消費性電子、汽車電子、無線通訊(4G/5G)、等應用，都需整合各種無線通訊系統的射頻電路，這些電子相關系統延伸許多電磁相容 EMC 問題。在電子產品開發後期的最後 EMC 驗證，若無法通過國際 EMC 法規，或是無法通過客戶衍生定義出的更嚴格 EMC 規格，這將會導致產品的設計失敗，而無法進入量產，最後損失公司產品訂單的嚴重問題。本課程將針對目前電機、電子、通訊產業相關所遇到多種電磁相容的現象，以及電磁干擾與靜電放電基礎原理相關設計與解析方法，同時連接物理之理基本電磁學、半導體元件物理、到終端電子產品的相關性，讓學員可以建立從晶片至系統層級之完整 EMC 問題的基本認識。也將有助學生於將來進入電子工程領域，提早建立電磁相容 EMC 相關知識與技能。同時也讓學員對不同電子產業的 EMC 挑戰有更進一步的了解。

其他備註

參考書目：

- EMC of Analog Integrated Circuits *J.-M. Redouté and M. Steyaert*
- ESD Physics and Devices *Author:Steven H. Voldman Amerasekera*
- ESD Circuit and Device *Author:Steven H. Voldman Amerasekera*